

⑫ 公開特許公報(A)

昭64-32371

⑮ Int. Cl.⁴

G 06 F 15/16

識別記号

3 1 0
4 6 0

庁内整理番号

Z-6745-5B
Z-6745-5B

⑬ 公開 昭和64年(1989)2月2日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 プロセッサ間通信方式

⑯ 特 願 昭62-187819

⑰ 出 願 昭62(1987)7月29日

⑱ 発 明 者	実 宝 昭	東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 発 明 者	望 月 敦 雄	山梨県甲府市丸の内1丁目17番14号 甲府日本電気株式会社内
⑳ 出 願 人	日本電気株式会社	東京都港区芝5丁目33番1号
㉑ 出 願 人	甲府日本電気株式会社	山梨県甲府市丸の内1丁目17番14号
㉒ 代 理 人	弁理士 芦 田 坦	外2名

明 細 書

1. 発明の名称

プロセッサ間通信方式

2. 特許請求の範囲

1. 第1のプロセッサ群、第2のプロセッサ群、第1のメモリ、及び第2のメモリがそれぞれシステム制御装置に接続され、該第1のプロセッサ群に対して前記第1及び第2のメモリが同一のメモリ空間として構成され、前記第2のプロセッサ群に対して前記第1及び第2のメモリが異なるメモリ空間として構成される情報処理装置において、前記システム制御装置は第1、第2、及び第3のロック手段を備え、前記第1のプロセッサ群間でのプロセッサ間通信は前記第1のロック手段によって通信許可が与えられると実行制御され、前記第2のプロセッサ群間でのプロセッサ間通信は前記第2のロック手段により通信許可が与えられると、実行制御され、前記第1のプロセッサ群と第

2のプロセッサ群との間におけるプロセッサ間通信は前記第3のロック手段により通信許可が与えられ、かつ前記第1のロック手段により通信許可が与えられた場合に、実行制御され、さらに、前記第1のロック手段による通信許可、前記第2のロック手段による通信許可、あるいは前記第1及び第3のロック手段による通信許可によりプロセッサ間通信が実行制御される際に、1回のロック期間に同一のプロセッサ群間でプロセッサ間通信が2回以上実行されたかどうかを検知する検知手段と、前記プロセッサ間通信の実行制御データを格納するための記憶手段とを有し、前記検知手段からの検知通知を受けると、前記2回目のプロセッサ間通信の実行制御データを前記記憶手段に保持するようにしたことを特徴とするプロセッサ間通信方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は高速演算プロセッサ等の複数のプロセ

ッサを有する情報処理装置に関し、特に、複数のプロセッサ間の通信方式に関する。

〔従来の技術〕

従来、スーパーコンピュータのように高速に演算を実行する情報処理装置では、ベクトル演算等を高速に実行する高速演算プロセッサと、大容量のデータを高速に演算するために用いられる大容量高速演算メモリと、情報処理システムのリソースの管理及びユーザープログラムのコンパイル、リンクを実行する制御プロセッサと、入出力装置とのデータ転送を制御する入出力プロセッサと、制御プログラムが格納された制御メモリと、情報処理システムを制御するシステム制御装置とを備えている。

そして、制御プロセッサ及び入出力プロセッサからは、演算メモリ及び制御メモリとが同一の空間にみえ、高速演算プロセッサからは演算メモリと制御メモリとが異なる空間にみえるように情報処理装置が構成される。

上述の情報処理装置では、制御プロセッサ、入

出力プロセッサ、及び高速演算プロセッサによるプロセッサ間通信を行う場合、システム制御装置に備えられたロック手段により通信許可が与えられたプロセッサのみが、通信元としてプロセッサ間通信を実行することができる。従って通信元となったプロセッサがプロセッサ間通信の処理を完了して、ロック手段をアンロックするまで、他のプロセッサは、プロセッサ間通信をすることができない。

従って、従来は、例えば設計誤り、故障などによってロック権を取得した通信元としてのプロセッサが2回以上同一のプロセッサを通信先としてプロセッサ間通信が実行されたことを検知して、同一のプロセッサが通信元としてロック権を占有することを防止している。

（発明が解決しようとする問題点）

上述した従来の情報処理システムの場合、設計誤り、あるいは故障などによって1回のロック期間に同一のプロセッサを通信先としてプロセッサ間通信が2回以上実行されたことを検出している

（問題点を解決するための手段）

本発明によれば、第1のプロセッサ群、第2のプロセッサ群、第1のメモリ、及び第2のメモリがそれぞれシステム制御装置に接続され、該第1のプロセッサ群に対して前記第1及び第2のメモリが同一のメモリ空間として構成され、前記第2のプロセッサ群に対して前記第1及び第2のメモリが異なるメモリ空間として構成される情報処理装置において、前記システム制御装置は第1、第2、及び第3のロック手段を備え、前記第1のプロセッサ群間でのプロセッサ間通信は前記第1のロック手段によって通信許可が与えられると実行制御され、前記第2のプロセッサ群間でのプロセッサ間通信は前記第2のロック手段により通信許可が与えられると、実行制御され、前記第1のプロセッサ群と第2のプロセッサ群との間におけるプロセッサ間通信は前記第3のロック手段により

通信許可が与えられ、かつ前記第1のロック手段により通信許可が与えられた場合に、実行制御され、さらに、前記第1のロック手段による通信許可、前記第2のロック手段による通信許可、あるいは前記第1及び第3のロック手段による通信許可によりプロセッサ間通信が実行制御される際に、1回のロック期間に同一のプロセッサ群間でプロセッサ間通信が2回以上実行されたかどうかを検知する検知手段と、前記プロセッサ間通信の実行制御データを格納するための記憶手段とを有し、前記検知手段からの検知通知を受けると、前記2回目のプロセッサ間通信の実行制御データを前記記憶手段に保持するようにしたことを特徴とするプロセッサ間通信方式が得られる。

〔実施例〕

次に、本発明について実施例によって説明する。

第1図を参照して、システム制御装置5は第1のプロセッサ群を構成する制御プロセッサ3及び入出力プロセッサ4に接続されるとともに、制御メモリ1に接続されている。一方、システム制御

装置6には第2のプロセッサ群を構成する高速演算プロセッサ7, 8, 9及び10が接続されるとともに演算メモリ2が接続されている。システム制御装置5上には制御プロセッサ3と入出力プロセッサ4とのプロセッサ間通信を実行制御するロック手段11(第1のロック手段)が設けられるとともに第1のプロセッサ群, 即ち制御プロセッサ3, 入出力プロセッサ4と第2のプロセッサ群, 即ち高速演算プロセッサ7, 8, 9, 及び10との間のプロセッサ間通信を実行制御するロック手段(第3のロック手段)13が設けられている。さらに, システム制御装置5にはプロセッサ間通信を制御するプロセッサ間通信制御回路14, 後述するようにして同一のプロセッサを通信先とするプロセッサ間通信が2回以上実行制御されたことを検出するプロセッサ間通信不正検出回路15を備えている。

一方, システム制御装置6上には高速演算プロセッサ7, 8, 9, 及び10におけるプロセッサ間通信を実行制御するロック手段12(第2のロ

出されるまで他のプロセッサからのロック取得要求に対してロック取得不許可を応答する。

制御プロセッサ3からのプロセッサ間通信情報を受信した入出力プロセッサ4はこのプロセッサ間通信情報を解読して処理を実行する。処理が完了すると, 入出力プロセッサ4はリブライプロセッサ間通信情報を通信元である制御プロセッサ3へ通信する。リブライプロセッサ間通信情報を受信した制御プロセッサ3はロック手段11に対してロック解除指示を行ない, プロセッサ間通信処理を完了する。

次に第3図を参照して, 第2のプロセッサ群内でのプロセッサ間通信として, 高速演算プロセッサ8から高速演算プロセッサ9へプロセッサ間通信を行う場合, 高速演算プロセッサ8はまずロック手段12に対してロック取得要求を行なう。ロック取得許可が与えられると, 高速演算プロセッサ8は, システム制御装置6を介してプロセッサ間通信を行なう。そして, ロック手段12は, ロック取得許可を与えた後は, 通信元である高速

演算プロセッサ9からロック解除指示が出されるまで, 他のプロセッサからのロック取得要求に対して, ロック不許可を応答する。

高速演算プロセッサ8からのプロセッサ間通信情報を受信した高速演算プロセッサ9はこのプロセッサ間通信情報を解読して処理を実行する。処理が完了すると, 高速演算プロセッサ9は, リブライプロセッサ間通信情報を通信元である高速演算プロセッサ8へ通信する。リブライプロセッサ間通信情報を受信した高速演算プロセッサ8はロック手段12に対し, ロック解除指示を行ない, プロセッサ間通信処理を完了する。

第4図を参照して, 第1のプロセッサ群と第2のプロセッサ群との間のプロセッサ間通信について説明する。

高速演算プロセッサ7から制御プロセッサ3へプロセッサ間通信を行なう場合, 高速演算プロセッサ7はまず, ロック手段13に対してロック取得要求を行なう。ロック取得許可が与えられると, 高速演算プロセッサ7は制御プロセッサ3に対し

てシステム制御装置6及びシステム制御装置5を介してプロセッサ間通信を行なう。ロック手段13はロック取得許可を与えた後は、通信元である高速演算プロセッサ7によってロック解除指示が出されるまで、他のプロセッサからのロック取得要求に対して、ロック取得不許可を応答する。高速演算プロセッサ7からのプロセッサ間通信情報を受信した制御プロセッサ3はロック手段11へロック取得要求を出し、ロック手段11からロック取得許可を与えられると、このプロセッサ間通信情報を解読して処理^E実行する。処理が完了すると、制御プロセッサ3はリブライプロセッサ間通信情報を通信元である高速演算プロセッサ7へ通信して、その後ロック手段11に対してロック解除指示を出し、ロックを解除する。一方、リブライプロセッサ間通信情報を受けた高速演算プロセッサ7はロック手段13に対してロック解除指示を行ない、プロセッサ間通信処理を完了する。

次に、制御プロセッサ3から高速演算プロセッサ7へプロセッサ間通信を行う場合、制御プロセ

と第2のプロセッサ群との間のプロセッサ間通信と、第2のプロセッサ群内のプロセッサ間通信とが競合した場合について説明する。

第1のプロセッサ群に属する制御プロセッサ3と第2のプロセッサ群に属する高速演算プロセッサ7と間のプロセッサ間通信は前述したように実行制御される。この際、第2のプロセッサ群に属する高速演算プロセッサ8と高速演算プロセッサ9との間のプロセッサ間通信は、第3図を用いて説明したようにロック手段12を用いて、同時に実行制御される。

再び、第1図を参照して、システム制御装置6を経由するプロセッサ間通信は、プロセッサ通信制御回路14によって制御されている。

ここで、例えば、ロック手段12によって通信許可を与えられて、高速演算プロセッサ9から高速演算プロセッサ8に対してプロセッサ間通信が実行されている際、ロック手段12による1回のロック期間中に、例えば、高速演算プロセッサ7から高速演算プロセッサ10に対するプロセッサ

7からロック手段13に対してロック取得要求を行なう。ロック取得許可が得られると、次に、ロック手段11へロック取得要求を出す。ロック手段11から許可を与えられると、システム制御装置5及びシステム制御装置6を介してプロセッサ間通信を行う。ロック手段13及びロック手段11は、ロック取得許可を与えた後は、通信元である制御プロセッサ7によってロック解除指示が出されるまで、他のプロセッサからのロック取得要求に対して、ロック取得不許可を応答する。制御プロセッサ3からのプロセッサ間通信情報を受信した高速演算プロセッサ7はこのプロセッサ間通信情報を解読して処理^E実行する。処理が完了すると、高速演算プロセッサ7はリブライプロセッサ間通信情報を通信元である制御プロセッサ3へ通信する。このリブライプロセッサ間通信情報を受信した制御プロセッサ3はロック手段13及びロック手段11に対してロック解除指示を行ない、プロセッサ間通信処理を完了する。

ここで、第5図を参照して第1のプロセッサ群

間通信が実行されたとする。

システム制御回路6を経由するプロセッサ間通信が起動されると、プロセッサ間通信制御回路18から通信先がプロセッサ間通信不正検出回路19へ送られる。これにより、プロセッサ間通信不正検出回路19は、ロック手段12からロック許可信号を受け、1回のロック期間中に、第2のプロセッサ群間で2回以上プロセッサ間通信が実行されると、障害発生とする。即ち、上述のように高速演算プロセッサ9と高速演算プロセッサ8に対してプロセッサ間通信が実行されている際に、高速演算プロセッサ7から高速演算プロセッサ10に対するプロセッサ間通信が実行されると、プロセッサ間通信不正検出回路19は障害発生とみなす。そして、プロセッサ間通信不正検出回路19は保守診断装置16へ障害発生を通知するとともに2回目のプロセッサ間通信(高速演算プロセッサ7から高速演算プロセッサ10に対するプロセッサ間通信)の実行制御データをエラー記憶手段17へ格納する。保守診断装置16はシステ

ムの運用を停止し、保守員に通知する。

同様して、第1のプロセッサ群間でのプロセッサ間通信及び第1のプロセッサ群と第2のプロセッサ群とのプロセッサ間通信はシステム制御装置5、即ち、プロセッサ間通信制御回路14によって制御され、プロセッサ間通信不正検出回路15によって保守診断装置16に障害通知が行われるとともにエラー記憶手段17に実行制御データが格納される。

(発明の効果)

以上説明したように本発明では、ロック手段によって通信許可を得てプロセッサ間通信を実行している際、このロック期間中(1回のロック期間中)に同種のプロセッサ間通信が2回以上行われると、即ち、通信許可を得たプロセッサ間通信と同一のプロセッサ群間を通信元及び通信先としてプロセッサ間通信が実行されると、このプロセッサ間通信を検出し、つまり不正を検出し、2回目のプロセッサ間通信の実行制御データをエラー記憶手段に格納している。従って、トラブルシュー

トのための情報を残すことができ、保守の効果を上げることができるという効果がある。

4.図面の簡単な説明

第1図は本発明の一実施を示すブロック図、第2図は第1のプロセッサ群間におけるプロセッサ間通信を説明するための図、第3図は第2のプロセッサ群間におけるプロセッサ間通信を説明するための図、第4図は第1のプロセッサ群と第2のプロセッサ群とのプロセッサ間通信を説明するための図、第5図は第2のプロセッサ群におけるプロセッサ通信と第1のプロセッサ群と第2のプロセッサとのプロセッサ通信とが同時に発生した際の処理を説明するための図である。

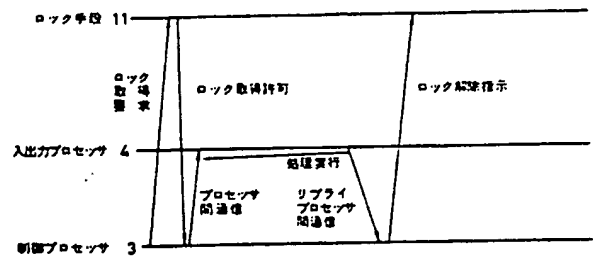
1…制御メモリ、2…演算メモリ、3…制御プロセッサ、4…入出力プロセッサ、5…システム制御装置、6…システム制御装置、7、8、9、10…高速演算プロセッサ、11、12、13…ロック手段、14、18…プロセッサ間通信制御回路、15、19…プロセッサ間通信不正検出回路、16…保守診断装置、17…エラー記憶手段。

路、16…保守診断装置、17…エラー記憶手段。

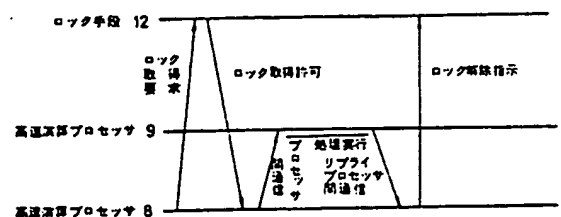
代理人(7783)弁理士 池田憲保



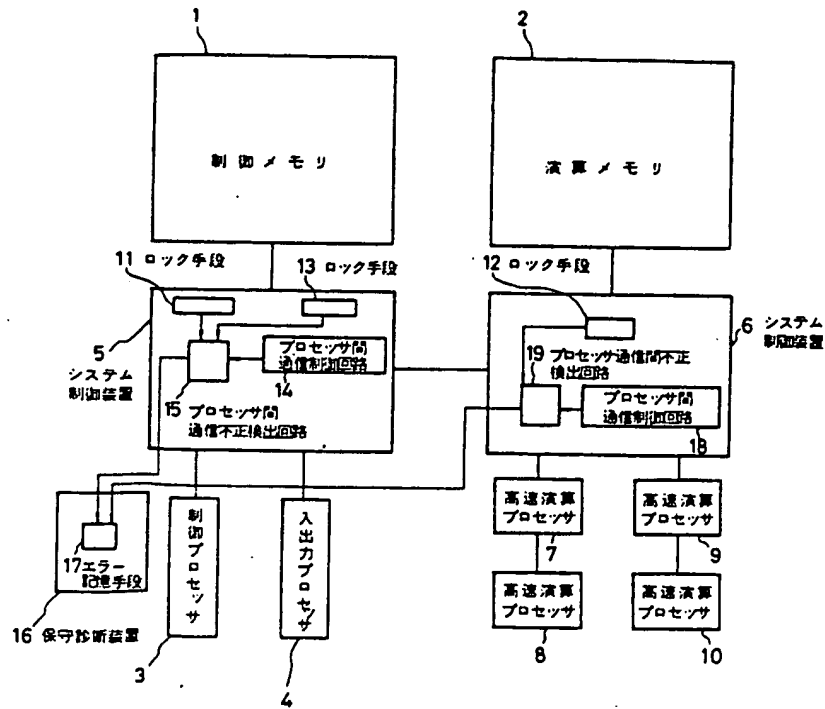
第2図



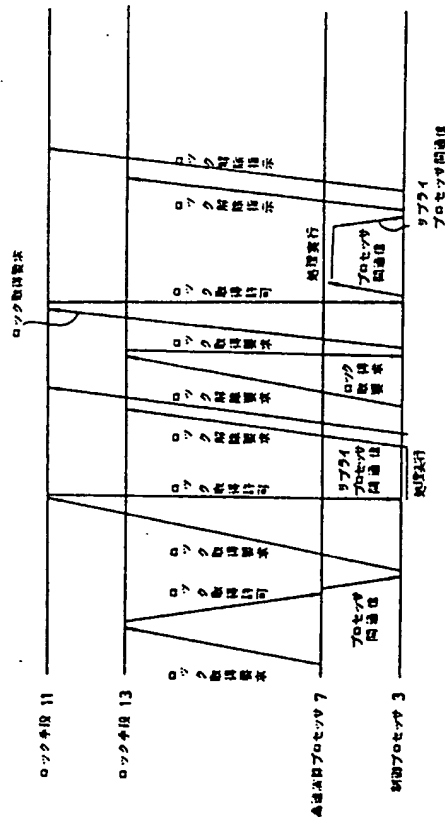
第3図



第 1 図



第 4 図



第 5 図

